

3-03057-TA

OPERATIONAL AMPLIFIER CIRCUIT

Patent Number: JP7297653
Publication date: 1995-11-10
Inventor(s): NAGAYA MASAFUMI
Applicant(s): OKI MICRO DESIGN MIYAZAKI:KK; others: 01
Requested Patent: ☐ JP7297653
Application Number: JP19940089003 19940427
Priority Number(s):
IPC Classification: H03F3/45; H03K17/16; H03K17/687; H03K19/0175
EC Classification:
Equivalents:

Abstract

PURPOSE:To reduce the through-current of an operational amplifier circuit by providing a high impedance prevention means for supplying a current from first and second power supply potentials to the connection point of first and second transistors.

CONSTITUTION:In the case of connecting an output terminal Out 2 and an input terminal In 3 and constituting this operational amplifier circuit of voltage follower, the ON state of differential pair NMOSes 41 and 42 is changed corresponding to the level of input signals S3. Thus, the ON state of PMOSes 43 and 44 is changed and the ON and OFF of the PMOS 61 are changed by the voltage of a node N8. Similarly, the ON state of the differential pair PMOSes 51 and 52 is changed corresponding to the level of the input signals S3, the ON state of NMOSes 53 and 54 is changed and the ON/OFF states of the NMOS 62 are changed by the voltage of the node N9. The mutual conductance gm41 of the NMOS 41 is larger than the mutual conductance gm42 of the NMOS 42 and the PMOS 61 and the NMOS 62 are not simultaneously turned on. A resistor 63 supplies the current to the NMOS 62 and the output of the operational amplifier circuit is prevented from becoming high impedance.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-297653

(43)公開日 平成7年(1995)11月10日

(51)IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/45	A			
H 0 3 K 17/16	L	9184-5J		
17/687				
		9473-5J	H 0 3 K 17/ 687	F
			19/ 00	1 0 1 F

審査請求 未請求 請求項の数1 OL (全 8 頁) 最終頁に続く

(21)出願番号 特願平6-89003

(22)出願日 平成6年(1994)4月27日

(71)出願人 591049893

株式会社沖マイクロデザイン宮崎
宮崎県宮崎市大和町9番2号

(71)出願人 000000295

沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72)発明者 長屋 雅文

宮崎県宮崎市大和町9番2号 株式会社沖
マイクロデザイン宮崎内

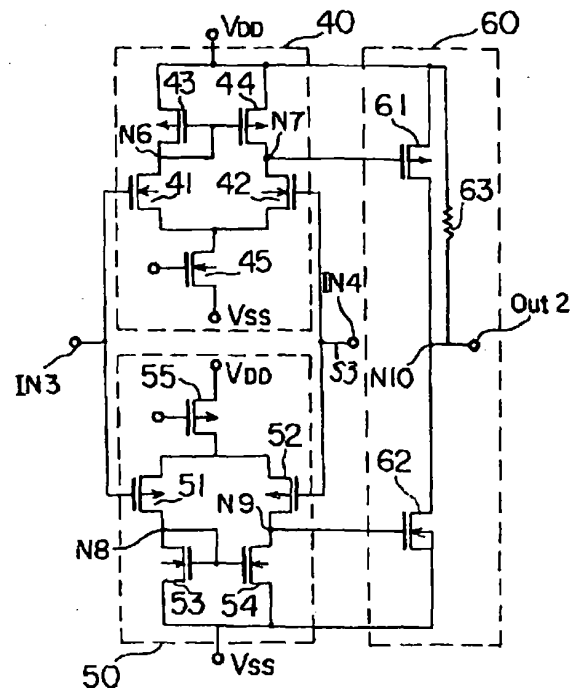
(74)代理人 弁理士 柿本 恭成

(54)【発明の名称】 演算増幅回路

(57)【要約】

【目的】 演算増幅回路の貫通電流を低減する。

【構成】 出力端子Out 2と入力端子In 3を接続してボルテージホロワの演算増幅回路を構成した場合、入力信号S 3のレベルに応じて差動対NMOS 41, 42がオン状態が変化する。そのため、PMOS 43, 44のオン状態が変化する。ノードN 8の電圧でPMOS 61のオン、オフが変化する。同様に、入力信号S 3のレベルに応じて差動対PMOS 51, 52がオン状態が変化する。NMOS 53, 54のオン状態が変化する。ノードN 9の電圧でNMOS 62のオン、オフ状態が変化する。NMOS 41の相互コンダクタンス g_{m41} は、NMOS 42の相互コンダクタンス g_{m42} よりも大きく、PMOS 61及びNMOS 62が同時にオンすることがない。抵抗63はNMOS 62に電流を供給し、この演算増幅回路の出力がハイインピーダンスとなることを防止する。



本発明の第1の実施例の演算増幅回路

1

【特許請求の範囲】

【請求項1】 入力信号のレベルを検出し該入力信号のレベルに応じて高レベルまたは低レベルとなる第1の信号を生成する第1の増幅部と、
前記入力信号のレベルを前記第1の増幅部に対して相補的に検出し該入力信号のレベルに応じて高レベルまたは低レベルとなる第2の信号を生成する第2の増幅部と、
制御電極と該制御電極に与えられた電圧によりオン、オフ制御される第1及び第2の電極を持ち前記第1の信号が該制御電極に供給されかつ該第1の電極が第1の電源10電位に接続された第1導電型の第1のトランジスタと、
制御電極と該制御電極に与えられた電圧により前記第1導電型とは相補的にオン、オフ制御される第1及び第2の電極を持ち前記第2の信号が該制御電極に供給され該第2の電極が前記第1のトランジスタの第2の電極に接続されかつ該第1の電極が第2の電源電位に接続された第2導電型の第2のトランジスタとを有した出力段とを備え、
前記第1及び第2のトランジスタの接続ノードから前記入力信号のレベルに応じた前記第1の電源電位または第20の電源電位を送出する演算増幅回路において、
前記第1の増幅部及び第2の増幅部は、前記第1及び第2のトランジスタが同時にオン状態とならないレベルの前記第1及び第2の信号をそれぞれ生成する構成とし、
前記第1と第2のトランジスタの接続点に対し、前記第1または第2の電源電位から電流を供給するハイインピーダンス防止手段を設けた、
ことを特徴とする演算増幅回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、種々の電子回路及び制御装置等に用いられる演算増幅回路に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、例えば、次のような文献に記載されるものがあった。
文献；特開平2-92008号公報
図2は、従来の演算増幅回路の回路図であり、上記文献に開示されたものである。この演算回路は、CMOS (Complementary-Metal Oxide Semiconductor) で構成40され、2つの入力端子In1、In2に接続された第1、第2の差動増幅部10、20を有し、それら各第1及び第2の差動増幅部10、20の出力側には、出力増幅部30が接続されている。各差動増幅部10、20及び出力増幅部30は、いずれも電源電位VDDと接地電位VSS間に接続されている。差動増幅部10は、各入力端子In1、In2に与えられた電圧をゲートにそれぞれ入力してそれぞれオン、オフ動作する2個のNチャネル型MOSトランジスタ（以下、NMOSという）11、12を備えている。これらのNMOS11、12 50

2

は、差動増幅部10における差動対となる。NMOS11のドレインは、ノードN1でPチャネル型MOSトランジスタ（以下、PMOSという）13のドレインに接され、このPMOS13のソースは、電源電位VDDに接続されている。同様に、NMOS12のドレインは、ノードN2でPMOS14のドレインに接され、このPMOS14のソースは、電源電位VDDに接続されている。各PMOS13、14のゲートはノードN1に接続され、ノードN1の電圧で、各PMOS13、14がオン、オフ動作する構成である。各NMOS11、12のソースは、電流源となるNMOS15を介して接地電位VSSに接続されている。

【0003】差動増幅部20は、各入力端子In1、In2に与えられた電圧をゲートにそれぞれ入力してそれぞれオン、オフ動作する2個のPMOS21、22を備えている。これらのPMOS21、22は差動増幅部20における差動対となる。PMOS21のドレインは、ノードN3でNMOS23のドレインに接続され、このNMOS23のソースは、接地電位VSSに接続されている。同様に、PMOS22のドレインはノードN4でNMOS24のドレインに接続され、このNMOS24のソースは、接地電位VSSに接続されている。各NMOS23、24のゲートは、ノードN3に接続され、ノードN3の電位で各NMOS23、24がそれぞれオン、オフ動作する構成である。各PMOS21、22のソースは、電流源となるPMOS25を介して電源電位VDDに接続されている。出力増幅部30は、差動増幅部10、20の各ノードN2、N4からの出力をブッシュアップ形式かつソース接地増幅形式で合成して出力するものであり、PMOS31とNMOS32を備えてい30
る。PMOS31とNMOS32の各ドレインはノードN5で接続され、そのノードN5が出力端子Out1に接続されている。PMOS31のソースは電源電位VDDに接続され、NMOS32のソースが接地電位VSSに接続されている。

【0004】次に、図2の演算増幅回路の動作を説明する。差動増幅部10は、2種類の信号S1、S2がそれぞれ入力端子In1、In2に与えられた場合において、信号S1及び信号S2の電位によって2つのNMOS11、12がオン、オフ動作する。例えば、信号S1の電圧が高い場合、NMOS11がオン状態のとなつてノードN1の電圧が接地電位VSSに近い状態となり、PMOS13、14がオン状態となる。このとき、NMOS12はオフ状態であるので、ノードN2の電位は、電源電位VDDに近くなる。その結果、PMOS31はオフ状態となる。一方、差動増幅部20中の各トランジスタは差動増幅部10中の各トランジスタとは相補的に動作し、差動増幅部20のノードN4からNMOS32のゲートに電源電位VDDに近い電位を供給する。そのため、NMOS32がオン状態となつてノードN5の電

3

位を接地電位VSSにする。また、信号S1の電位レベルが低くて信号S2のレベルが高い場合、差動増幅部10中のNMOS11がオフ状態となり、PMOS13, 14がオフ状態となる。また、この場合には、NMOS12がオン状態となり、ノードN2の電位を接地電位VSSに近くする。そのため、PMOS31がオン状態となる。差動増幅部20は、差動増幅部10とは相補的に動作してノードN4からNMOS32のゲートに接地電位VSSに近い電位を供給する。そのため、NMOS32がオフ状態となってノードN5の電位を電源電位VD10Dにする。一方、各入力信号S1, S2が同相である場合、例えば各信号S1, S2のレベルによって差動増幅部10または差動増幅部20の一方がカットオフとなっても、他方がこれをカバーして差動増幅をする。以上のように、図2の演算増幅回路は、CMOSの差動増幅部10, 20の出力をプッシュプル形式でかつソース接地増幅形式合成し増幅する機能を有し、両極性の出力回路として有効なものである。

【0005】

【発明が解決しようとする課題】しかしながら、従来の20演算増幅回路においては、次のような課題があった。図2の演算増幅回路をボルテージホロウ等の増幅器として用いた場合、PMOS31とNMOS32間に大きな貫通電流Iが流れるという課題があった。即ち、図2の演算増幅回路の出力端子Out1から入力端子In1に帰還をかけて使用しかつ消費電流を低くしたい場合、各差動増幅部10, 20の出力の動作点の電圧は、出力端子Out1が無負荷状態における各PMOS31及びNMOS32のゲート電圧のそれぞれの閾値近辺になるように設定される。しかし、デバイス作成時のばらつき等に30よる予測不可能なオフセット電圧が生じ、PMOS31及びNMOS32が同時にオン状態となってしまうことがある。そのため、大きな貫通電流が発生する。

【0006】

【課題を解決するための手段】本発明は、前記課題を解決するために、入力信号のレベルを検出し該入力信号のレベルに応じて高レベルまたは低レベルとなる第1の信号を生成する第1の増幅部と、前記入力信号のレベルを前記第1の増幅部に対して相補的に検出し該入力信号のレベルに応じて高レベルまたは低レベルとなる第2の信40号を生成する第2の増幅部と、制御電極と該制御電極に与えられた電圧によりオン、オフ制御される第1及び第2の電極を持ち前記第1の信号が該制御電極に供給されかつ該第1の電極が第1の電源電位に接続された第1導電型の第1のトランジスタと、制御電極と該制御電極に与えられた電圧により前記第1導電型とは相補的にオン、オフ制御される第1及び第2の電極を持ち前記第2の信号が該制御電極に供給され該第2の電極が前記第1のトランジスタの第2の電極に接続されかつ該第1の電極が第2の電源電位に接続された第2導電型の第2のト50

4

ランジスタとを有した出力段とを備え、前記第1及び第2のトランジスタの接続ノードから前記入力信号のレベルに応じた前記第1の電源電位または第2の電源電位を送出する演算増幅回路において、次の手段を講じている。即ち、前記第1の増幅部及び第2の増幅部は、前記第1及び第2のトランジスタが同時にオン状態とならないレベルの前記第1及び第2の信号をそれぞれ生成する構成とし、前記第1と第2のトランジスタの接続点に対し、前記第1または第2の電源電位から電流を供給するハイインピーダンス防止手段を設けている。

【0007】

【作用】本発明によれば、以上のように演算増幅回路を構成したので、入力信号のレベルが、第1の増幅部及び第2の増幅部でそれぞれ検出され、入力信号のレベルに応じた第1及び第2の信号が、第1及び第2のトランジスタの制御電極にそれぞれ供給される。第1及び第2のトランジスタは、第1及び第2の信号のレベルでそれぞれオンまたはオフ状態となるが、第1及び第2の信号は、第1及び第2のトランジスタが同時にオン状態とならないレベルとなっているので、両方とも同時にオン状態とならない。そのため、どちらもオフ状態となることがある。このとき、第1及び第2のトランジスタのどちらもオフ状態のとき、第1と第2のトランジスタの接続点に対して第1または第2の電源電位から電流がハイインピーダンス防止手段によって供給される。従って、前記課題を解決できるのである。

【0008】

【実施例】

第1の実施例

図1は、本発明の第1の実施例を示す演算増幅回路の回路図である。この演算回路は、第1導電型のPMOSと第2導電型のNMOSのCMOSで構成されて2つの入力端子In3, In4に接続された第1, 第2の増幅部40, 50を有し、それら各第1及び第2の増幅部40, 50の出力側には、出力段60が接続されている。各増幅部40, 50及び出力段60は、いずれも第1の電源電位VDDと第2の電源電位である接地電位VSS間に接続されている。増幅部40は、各入力端子In3, In4に与えられた電圧を制御電極のゲートにそれぞれ入力してそれぞれオン、オフ動作する2個のNMOS41, 42を備えている。これらのNMOS41, 42は、増幅部40における差動対となる。NMOS41の第2の電極のドレインはノードN6でPMOS43のドレインに接され、このPMOS43のソースは電源電位VDDに接続されている。同様に、NMOS42のドレインはノードN7でPMOS44のドレインに接され、このPMOS44のソースは電源電位VDDに接続されている。各PMOS43, 44のゲートはノードN6に接続され、ノードN6の電位で、各PMOS43, 44がそれぞれオン、オフ動作する構成である。各NM

5

OS 4 1, 4 2 のソースは、電流源となる NMOS 4 5 を介して接地電位 VSS に接続されている。

【0009】増幅部 5 0 は、各入力端子 In 3, In 4 に与えられた電圧をゲートにそれぞれ入力してそれぞれオン、オフ動作する 2 個の PMOS 5 1, 5 2 を備えている。これらの PMOS 5 1, 5 2 は、増幅部 5 0 における差動対となる。PMOS 5 1 のドレインは、ノード N 8 で NMOS 5 3 のドレインに接され、この NMOS 5 3 のソースは接地電位 VSS に接続されている。同様に、PMOS 5 2 のドレインはノード N 9 で NMOS 5 10 のドレインに接され、この NMOS 5 4 のソースは接地電位 VSS に接続されている。各 NMOS 5 3, 5 4 のゲートはノード N 8 に接続され、ノード N 8 の電位で各 NMOS 5 3, 5 4 がそれぞれオン、オフ動作する構成である。各 PMOS 5 1, 5 2 のソースは電流源となる PMOS 5 5 を介して電源電位 VDD に接続されている。出力段 6 0 は、差動増幅部 4 0, 5 0 の出力をブッシュブル形式かつソース接地増幅形式で合成して出力するものであり、PMOS 6 1 と NMOS 6 2 を備えている。各 PMOS 6 1 と NMOS 6 2 のゲートは、ノード 20 N 7, N 9 がそれぞれ接続されている。PMOS 6 1 と NMOS 6 2 の各ドレインはノード N 1 0 で接続され、そのノード N 1 0 が出力端子 Out 2 に接続されている。PMOS 6 1 のソースは電源電位 VDD に接続され、NMOS 6 2 のソースは接地電位 VSS に接続されている。ノード N 1 0 にはハイインピーダンス防止手段である抵抗 6 3 が接続され、この抵抗 6 3 は電位 VDD に接続されている。本実施例において増幅部 1 0 における NMOS 4 1 の相互コンダクタンス gm_{41} は、NMOS 4 2 の相互コンダクタンス gm_{42} よりも大きくし 30 て作成されている。

【0010】次に、図 1 の演算増幅回路がボルテージホロワ等の増幅器として用いられた場合の動作を説明する。この演算増幅回路が、ボルテージホロワの増幅器として用いられる場合、出力端子 Out 2 は入力端子 In 3 に帰還接続され、入力信号 S 3 は入力端子 In 4 から入力される。この時、ボルテージホロワが構成されているので、各 NMOS 4 1, 4 2 のゲートにそれぞれ入力される電位は同レベルとなり、また、2 個の PMOS 5 1, 5 2 のゲートにそれぞれ入力される電位も同レベル 40 となる。増幅部 4 0 において入力信号 S 3 のレベルに応じて 2 個の NMOS 4 1, 4 2 はオンまたはオフ状態となる。例えば、ゲートに供給された電位が閾値より高い場合には、それらの NMOS 4 1, 4 2 は、共にオン状態となる。NMOS 4 1 がオン状態であるので、ノード N 6 の電位が降下し、2 個の PMOS 4 3, 4 4 がオン状態なる。このとき NMOS 4 2 もオン状態となっているので、NMOS 4 1 と PMOS 4 3 には電流が流れる。このとき NMOS 4 2 もオン状態となっ 50 て、NMOS 4 2 と PMOS 4 4 には電流が流れる。ノード N 7 の電圧が PMOS 6 1 へ供給され、PMOS 6 1 のオン、オフ状態が制御される。

6

ード N 7 の電圧が PMOS 6 1 へ供給され、PMOS 6 1 のオン、オフ状態が制御される。

【0011】一方、増幅部 5 0 において入力信号 S 3 のレベルに応じて 2 個の PMOS 5 1, 5 2 はオンまたはオフ状態となる。例えば、ゲートに供給された電位が電源電位 VDD から閾値分だけ低い値より下回っている場合には、それらの PMOS 5 1, 5 2 は共にオン状態となる。PMOS 5 1 がオン状態であるので、ノード N 8 の電位が上昇し、2 個の NMOS 5 3, 5 4 がオン状態なる。このとき PMOS 5 2 もオン状態となっているので、PMOS 5 1 と NMOS 5 3 には電流が流れる。このとき PMOS 5 2 もオン状態となっているので、PMOS 5 2 と NMOS 5 4 には電流が流れる。ノード N 9 の電圧が NMOS 6 2 へ供給され、NMOS 6 2 のオン、オフ状態が制御される。ノード N 7 及びノード N 9 の電圧により、PMOS 6 1 または NMOS 6 2 の一方がオン状態、他方がオフ状態となる。信号 S 3 のレベルが変化すると、増幅部 4 0 中の NMOS 4 2 のオン状態及び増幅部 5 0 中の PMOS 5 1 のオン状態が変化し、ノード N 7 及びノード N 9 変化する。そのため、PMOS 6 1 及び NMOS 6 2 のオン、オフ状態が変化して出力端子 Out 2 の電圧も変化する。

【0012】ここで、例えば、PMOS 6 1 及び NMOS 6 2 が、両方ともオン状態となると、電源電位 VDD から接地電位 VSS に PMOS 6 1 及び NMOS 6 2 を介した貫通電流が流れる。本実施例においては、NMOS 4 1 の相互コンダクタンス gm_{41} は、NMOS 4 2 の相互コンダクタンス gm_{42} よりも大きくして作成されている。そのため、相互コンダクタンス gm_{41} と相互コンダクタンス gm_{42} が同じに作成されたものに対して、ノード N 7 の電位即ち PMOS 6 1 のゲート電圧は、オフ状態となる方向にされ、出力端子 Out 2 の電位は接地電位 VSS 方向に移動する。出力端子 Out 2 の電位と入力端子 In 3 の電位を同じとすると、PMOS 5 1 のゲート電位は PMOS 5 1 がオンする方向に移動し、PMOS 5 2 を流れる電流が減少し、NMOS 6 2 がオフ状態になる方向にノード N 9 の電位が移動する。即ち、入力信号 S 3 のレベルに対して、PMOS 6 1 及び NMOS 6 2 のいずれか一方がオン状態、他方がオフ状態、或いは PMOS 6 1 及び NMOS 6 2 が共にオフ状態となるように作成されている。そのため、PMOS 6 1 と NMOS 6 2 の貫通電流が、防止される。

【0013】一方、相互コンダクタンス gm_{41} を相互コンダクタンス gm_{42} よりも大きくしていることにより、PMOS 6 1 と NMOS 6 2 が共にオフとなる区間が生じる。この時、出力段 6 0 に接続された電流負荷が、出力電流の吸い出し状態から吸い込み状態へと変化し、クロスオーバー部の歪みである出力端子 Out 2 の急激な電圧変化を生ずる。抵抗 6 3 は、電源電位 VDD から電流をノード N 1 0 を介して NMOS 6 2 に供給す

7

るのでNMOS 6 2は常にオン状態となり、出力端子Out 2の電圧を安定させる。以上のように、本実施例では相互コンダクタンス g_{m41} を相互コンダクタンス g_{m42} よりも大きくしていることにより、PMOS 6 1とNMOS 6 2が共にオフなる区間を設定するので、PMOS 6 1とNMOS 6 2を流れる貫通電流を低減できる。また、PMOS 6 1とNMOS 6 2が共にオフなる区間が設定されることに対して抵抗6 3を設けているので、出力段6 0がハイインピーダンス状態になることがない。

【0014】第2の実施例

本実施例の演算増幅回路の構成は、図1の第1の実施例と同様である。第1の実施例では、NMOS 4 1の相互コンダクタンス g_{m1} がNMOS 4 2の相互コンダクタンス g_{m42} よりも大きくして作成されているが、本実施例では、増幅部4 0中のPMOS 4 4の相互コンダクタンス g_{m44} が、PMOS 4 3の相互コンダクタンス g_{m43} よりも大きく作成され、NMOS 4 1の相互コンダクタンス g_{m41} とNMOS 4 2の相互コンダクタンス g_{m2} とは同じに作成されている。この演算増幅回路がボルテージホロワを等の増幅器として用いられた場合、第1の実施例と同様の動作をする。この演算増幅回路においても、相互コンダクタンス g_{m44} がコンダクタンス g_{m43} よりも大きくされているので、ノードN 7の電位、即ちPMOS 6 1のゲート電圧は、オフ状態となる方向にされ、出力端子Out 2の電位は接地電位VSS方向に移動する。出力端子Out 2の電位と入力端子In 3の電位を同じとすると、PMOS 5 1のゲート電位はPMOS 5 1がオンする方向に移動し、PMOS 5 2を流れる電流が減少し、NMOS 6 2がオフ状態になる方向にノードN 9の電位が移動する。即ち、入力信号S 3のレベルに対して、PMOS 6 1及びNMOS 6 2のいずれか一方がオン状態、他方がオフ状態、或いはPMOS 6 1及びNMOS 6 2が共にオフ状態となるように作成されている。そのため、PMOS 6 1とNMOS 6 2の貫通電流が、防止される。即ち、本実施例では、PMOS 4 4の相互コンダクタンス g_{m44} をPMOS 4 3の相互コンダクタンス g_{m43} よりも大きくしているので、PMOS 6 1とNMOS 6 2の貫通電流Iを防止できる。

【0015】第3の実施例

本実施例の演算増幅回路の構成は、図1の第1の実施例及び第2の実施例と同様の構成である。本実施例と第1及び第2の実施例と異なる点は、増幅部5 0のPMOS 5 1の相互コンダクタンス g_{m51} が、PMOS 5 2の相互コンダクタンス g_{m52} よりも大きくして作成され、増幅部4 0中の対をなすNMOS 4 1、4 1及びPMOS 4 3、4 4の相互コンダクタンスは、互いに等しく作成されている。この演算増幅回路がボルテージホロワ等の増幅器として用いられた場合、第1の実施例と同50

8

様の動作をする。ここで、PMOS 5 1の相互コンダクタンス g_{m51} が、PMOS 5 2の相互コンダクタンス g_{m52} よりも大きくして作成されているので、ノードN 9の電位が、オフ状態となる方向にされ、出力端子Out 2の電位は電源電位VDD側に移動する。出力端子Out 2の電位と入力端子In 3の電位を同じとすると、NMOS 5 1のゲート電位が、NMOS 5 1がオンする方向に移動し、NMOS 5 2を流れる電流が減少すると共にPMOS 6 1がオフ状態になる方向にノードN 7の電位が移動する。即ち、入力信号S 3のレベルに対して、PMOS 6 1及びNMOS 6 2のいずれか一方がオン状態、他方がオフ状態、或いはPMOS 6 1及びNMOS 6 2が共にオフ状態となるように作成されている。そのため、PMOS 6 1とNMOS 6 2を流れる貫通電流Iが防止される。

【0016】第4の実施例

本実施例の演算増幅回路の構成は、図1の第1の実施例から第3の実施例と同様の構成である。本実施例と第1から第3の実施例と異なる点は、増幅部5 0のNMOS 5 4の相互コンダクタンス g_{m54} が、NMOS 5 3の相互コンダクタンス g_{m53} よりも大きくして作成され、増幅部4 0中の対をなすNMOS 4 1、4 2、PMOS 4 3、4 4、及び増幅部5 0中の差動対PMOS 5 1、5 2の互相互コンダクタンスは、互いに等しく作成されている。この演算増幅回路がボルテージホロワ等の増幅器として用いられた場合、第1の実施例と同様の動作をする。ここで、NMOS 5 4の相互コンダクタンス g_{m54} が、NMOS 5 3の相互コンダクタンス g_{m53} よりも大きくして作成されているので、ノードN 9の電位が、オフ状態となる方向にされ、出力端子Out 2の電位は電源電位VDD側に移動する。出力端子Out 2の電位と入力端子In 3の電位を同じとすると、NMOS 5 1のゲート電位が、NMOS 5 1がオンする方向に移動し、NMOS 5 2を流れる電流が減少すると共にPMOS 6 1がオフ状態になる方向にノードN 7の電位が移動する。即ち、入力信号S 3のレベルに対して、PMOS 6 1及びNMOS 6 2のいずれか一方がオン状態、他方がオフ状態、或いはPMOS 6 1及びNMOS 6 2が共にオフ状態となるように作成されている。そのため、PMOS 6 1とNMOS 6 2の貫通電流Iが防止される。

【0017】第5の実施例

図3は、本実施例の第5の実施例を示す演算増幅回路の回路図であり、図1と共通する要素には共通の符号が付されている。この演算増幅回路は、2個の入力端子In 3、In 4間に接続された図1と同様の構成の2つの増幅部4 0、5 0と、図1とは異なる出力段7 0を備えている。出力段7 0は、増幅部4 0、5 0の出力をプッシュプル形式かつソース接地増幅形式で合成して出力するものであり、PMOS 7 1とNMOS 7 2を備えてい

9

る。各PMOS71とNMOS72のゲートは、増幅部40, 50中のノードN7, N9がそれぞれ接続されている。PMOS71とNMOS72の各ドレインはノードN11で接続され、そのノードN11が出力端子Out3に接続されている。PMOS71のソースは電源電位VDDに接続され、NMOS72のソースが接地電位VSSに接続されている。ノードN11にはハイインピーダンス防止手段である抵抗73が接続され、この抵抗73は接地電位VSSに接続されている。図3の演算増幅回路の動作は、図1と同様の動作をする。図1の第1から第4の実施例のように、各増幅部40, 50中のNMOS及びPMOSの相互コンダクタンスを異ならせて作成すると、図3のPMOS71及びNMOS72が、両方ともオフ状態となる可能性を生ずるが、抵抗73はPMOS71から接地電位VSSに電流を流し、PMOS71がオフ状態となることを防止する。以上のように、本実施例では、抵抗73を設けているので、出力段70の出力がハイインピーダンス状態となることが防止できる。

【0018】第6の実施例

図4は、本実施例の第6の実施例を示す演算増幅回路の回路図であり、図1と共通する要素には共通の符号が付されている。この演算増幅回路は、2個の入力端子In3, In4間に接続された図1と同様の構成の2つの増幅部40, 50と、図1とは異なる出力段80を備えている。出力段80は、増幅部40, 50の出力をプッシュプル形式かつソース接地増幅形式で合成して出力するものであり、PMOS81とNMOS82を備えている。各PMOS81とNMOS82のゲートは、増幅部40, 50中のノードN7, N9にそれぞれ接続されている。PMOS81とNMOS82の各ドレインはノードN12で接続され、そのノードN12が出力端子Out4に接続されている。PMOS81のソースは電源電位VDDに接続され、NMOS82のソースが接地電位VSSに接続されている。ノードN12には定電流源となるPMOS83のソースが接続され、このPMOS83はドレインは電源電位VDDに接続されている。図4の演算増幅回路の動作は、図1と同様の動作をする。図1の第1から第4の実施例のように、各増幅部40, 50中のNMOS及びPMOSの相互コンダクタンスを異ならせて作成すると、図4のPMOS81及びNMOS82の両方が、オフ状態となる可能性を生じるが、PMOS83は定電流をNMOS82に供給してNMOS82をオン状態とする。以上のように、本実施例では、PMOS83を設けているので、出力段80の出力がハイインピーダンス状態となることが防止できる。

【0019】第7の実施例

図5は、本実施例の第7の実施例を示す演算増幅回路の回路図であり、図1と共通する要素には共通の符号が付されている。この演算増幅回路は、2個の入力端子In50

10

3, In4間に接続された図1と同様の構成の2つの増幅部40, 50と、図1とは異なる出力段90を備えている。出力段90は、増幅部40, 50の出力をプッシュプル形式かつソース接地増幅形式で合成して出力するものであり、PMOS91とNMOS92を備えている。各PMOS91とNMOS92のゲートは、増幅部40, 50中のノードN7, N9にそれぞれ接続されている。PMOS91とNMOS92の各ドレインはノードN13で接続され、そのノードN13が出力端子Out5に接続されている。PMOS91のソースは電源電位VDDに接続され、NMOS92のソースが接地電位VSSに接続されている。ノードN13には定電流源となるNMOS93のソースが接続され、このNMOS93のドレインは接地電位VSSに接続されている。図5の演算増幅回路の動作は、図1と同様の動作をする。図1の第1から第4の実施例のように、各増幅部40, 50中のNMOS及びPMOSの相互コンダクタンスを異ならせて作成すると、図5のPMOS91及びNMOS92が、両方ともオフ状態となる可能性が生ずるが、NMOS93は定電流をNMOS92から接地電位VSSに流し、PMOS91をオン状態とする。

【0020】以上のように、本実施例では、NMOS93を設けているので、出力段90の出力がハイインピーダンス状態となることが防止できる。なお、本発明は、上記実施例に限定されず種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(1) 図1において、第1から第4の実施例を複数組み合わせ各増幅部40, 50内のトランジスタを作成してもよい。例えば、NMOS41の相互コンダクタンス g_{m41} をNMOS42の相互コンダクタンス g_{m42} よりも大きくし、かつPMOS44の相互コンダクタンス g_{m44} をPMOS43の相互コンダクタンス g_{m43} よりも大きくしても、第1から第4の実施例と同様の効果を奏する。

(2) 出力段を構成するPMOS61, 71, 81, 91及びNMOS62, 72, 82, 92は、例えば、バイポーラトランジスタとしても、上記第1から第7の実施例と同様に貫通電流を低減する効果を期待できる。

【0021】

【発明の効果】以上詳細に説明したように、本発明によれば、入力信号のレベルに応じ第1及び第2の増幅部は、出力段に対して第1及び第2のトランジスタが共にオン状態とならない第1及び第2の信号を生成する構成にしているので、第1及び第2のトランジスタを介して第1及び第2の電源電位間に貫通する貫通電流が、防止できる。また、第1及び第2の増幅部が第1及び第2のトランジスタが共にオン状態とならない第1及び第2の信号を生成する構成のために生じる出力段のハイインピーダンス状態を、第1及び第2のトランジスタの接続点に電流を供給することで解消できる。そのため、低消費

電流でかつ出力の安定した演算増幅回路を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す演算増幅回路の回路図である。

【図2】従来の演算増幅回路の回路図である。

【図3】本発明の第5の実施例を示す演算増幅回路の回路図である。

【図4】本発明の第6の実施例を示す演算増幅回路の回路図である。

【図5】本発明の第7の実施例を示す演算増幅回路の回路図である。

【符号の説明】

40, 50

第1, 第2の増幅部

60, 70, 80, 90

出力段

61, 71, 81, 91

PMOS (第1のトランジスタ)

62, 72, 82, 92

NMOS (第2のトランジスタ)

63, 73

抵抗 (ハイインピーダンス防止手段)

83

PMOS (ハイインピーダンス防止手段)

93

NMOS (ハイインピーダンス防止手段)

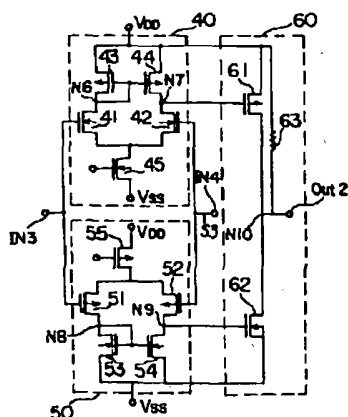
I

貫通電流

S3

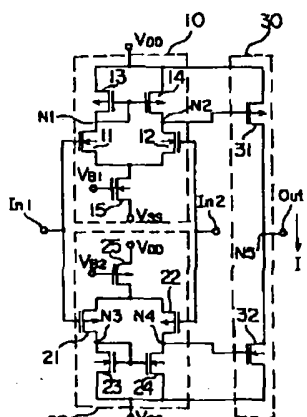
入力信号

【図1】



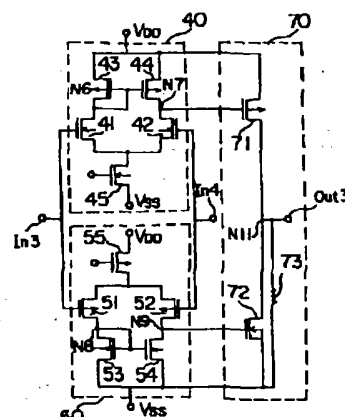
本発明の第1の実施例の演算増幅回路

【図2】



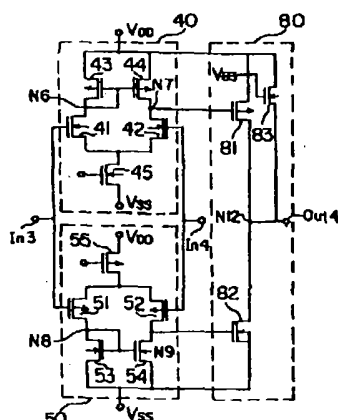
従来の演算増幅回路

【図3】



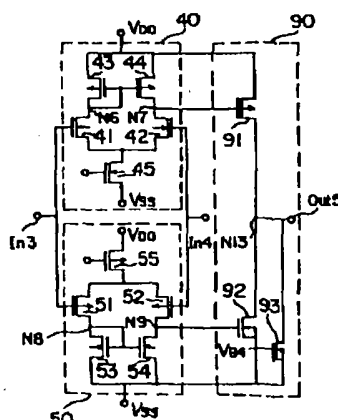
本発明の第5の実施例の演算増幅回路

【図4】



本発明の第6の実施例の演算増幅回路

【図5】



本発明の第7の実施例の演算増幅回路

フロントページの続き

(51)Int.Cl.⁶

H 0 3 K 19/0175

識別記号

庁内整理番号

F I

技術表示箇所